



(12)发明专利申请

(10)申请公布号 CN 110148376 A

(43)申请公布日 2019.08.20

(21)申请号 201910481916.6

(22)申请日 2019.06.04

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 北京京东方光电科技有限公司

(72)发明人 高延凯 陈明 时凌云 段欣
毕育欣 刘弘 于明鉴 胡国锋

(74)专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51)Int.Cl.

G09G 3/32(2016.01)

G09G 3/3208(2016.01)

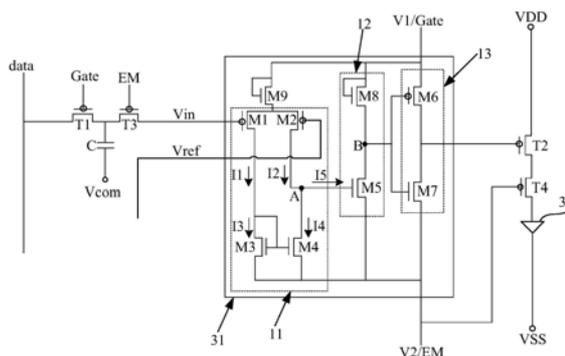
权利要求书3页 说明书13页 附图6页

(54)发明名称

一种像素电路及其驱动方法、显示面板、显示装置

(57)摘要

本发明实施例提供一种像素电路及其驱动方法、显示面板、显示装置,涉及显示技术领域,可改善因色坐标漂移,而影响显示效果的问题。该像素电路包括驱动晶体管、比较电路;比较电路与输出端、向比较电路输入像素电压的第一输入端、向比较电路输入参考电压的第二输入端、向比较电路输入第一恒定电压的第一控制端、向比较电路输入第二恒定电压的第二控制端连接;在像素电压不小于参考电压时,将第一恒定电压输出至输出端;在像素电压小于参考电压的第二时段内,将第二恒定电压输出至输出端;驱动晶体管在第一恒定电压的控制下截止,在第二恒定电压控制下导通;或者,驱动晶体管在所述第一恒定电压的控制下导通,在第二恒定电压控制下截止。



1. 一种像素电路,包括驱动晶体管,其特征在于,所述像素电路还包括:比较电路;

所述比较电路与输出端、向所述比较电路输入像素电压的第一输入端、向所述比较电路输入参考电压的第二输入端、向所述比较电路输入第一恒定电压的第一控制端、向所述比较电路输入第二恒定电压的第二控制端连接;

所述输出端与所述驱动晶体管的栅极连接;

所述比较电路配置为:在所述像素电压不小于所述参考电压的第一时段内,将所述第一恒定电压输出至所述输出端;

所述比较电路还配置为:在所述像素电压小于所述参考电压的第二时段内,将所述第二恒定电压输出至所述输出端;所述驱动晶体管在所述第一恒定电压的控制下截止,在所述第二恒定电压控制下导通;或者,所述驱动晶体管在所述第一恒定电压的控制下导通,在所述第二恒定电压控制下截止;

所述第一时段和所述第二时段构成所述驱动晶体管的驱动周期;

所述参考电压为呈周期变化的交流电压,所述参考电压的变化周期与帧周期同步,所述驱动周期与所述帧周期一一对应,且所述驱动周期的时长不大于与其对应的所述帧周期的时长。

2. 根据权利要求1所述的像素电路,其特征在于,

所述比较电路包括输入子电路、控制子电路、输出子电路;

所述输入子电路与所述第一输入端、所述第二输入端、所述第一控制端、所述第二控制端、第一节点连接;

所述控制子电路与所述第一节点、所述第一控制端、所述第二控制端、第二节点连接;

所述输出子电路与所述第二节点、所述第一控制端、所述第二控制端、所述输出端连接;

所述输入子电路配置为:在所述第一输入端输入的像素电压不小于所述第二输入端输入的参考电压的第一时段内,在所述像素电压、所述参考电压、所述第一恒定电压、所述第二恒定电压的控制下,将第一控制电流通过所述第一节点输出至所述控制子电路;

所述控制子电路配置为:在所述第一控制电流和所述第一恒定电压的控制下,将所述第一恒定电压输出至所述第二节点;

所述输出子电路配置为:在所述第二节点的第一恒定电压的控制下,将所述第二控制端的第二恒定电压输出至所述输出端;

所述输入子电路还配置为:在所述第一输入端输入的像素电压小于所述第二输入端输入的参考电压的第二时段内,在所述像素电压、所述参考电压、所述第一恒定电压、所述第二恒定电压的控制下,将第二控制电流通过所述第一节点输出至所述控制子电路;

所述控制子电路还配置为:在所述第二控制电流的控制下,将所述第二恒定电压输出至所述第二节点;

所述输出子电路还配置为:在所述第二节点的第二恒定电压的控制下,将所述第一控制端的第一恒定电压输出至所述输出端。

3. 根据权利要求2所述的像素电路,其特征在于,所述输入子电路包括第一晶体管、第二晶体管、第三晶体管、以及第四晶体管;

所述第一晶体管的栅极与所述第一输入端连接、所述第一晶体管的栅极与所述第一

控制端连接、所述第一晶体管的第二极与所述第三晶体管的第一极连接；

所述第二晶体管的栅极与所述第二输入端连接、所述第二晶体管第一极与所述第一控制端连接、所述第二晶体管的第二极与所述第一节点连接；

所述第三晶体管的栅极与其第一极和所述第四晶体管的栅极连接、所述第三晶体管的第二极与所述第二控制端连接；

第四晶体管的第一极与所述第一节点连接、第四晶体管的第二极与所述第二控制端连接；

其中，所述第一晶体管和所述第二晶体管处于放大区，且均为P型晶体管；所述第三晶体管和所述第四晶体管的结构相同，且均为N型晶体管；所述第一恒定电压为高电平，所述第二恒定电压为低电平。

4. 根据权利要求2所述的像素电路，其特征在于，所述控制子电路包括第一二极管、第五晶体管；

所述第一二极管的第一极与所述第一控制端连接、所述第一二极管的第二极与所述第二节点连接；

所述第五晶体管的栅极与所述第一节点连接、所述第五晶体管的第一极与所述第二控制端连接、所述第五晶体管的第二极与所述第二节点连接；

其中，第五晶体管为N型晶体管；所述第一二极管的电阻大于所述第五晶体管的电阻。

5. 根据权利要求2所述的像素电路，其特征在于，所述输出子电路包括第六晶体管和第七晶体管；

所述第六晶体管的栅极与所述第二节点连接、所述第六晶体管的第一极与所述第一控制端连接、所述第六晶体管的第二极与所述输出端连接；

所述第七晶体管的栅极与所述第二节点连接、所述第七晶体管的第一极与所述第二控制端连接、所述第七晶体管的第二极与所述输出端连接；

其中，所述第六晶体管为P型晶体管，所述第七晶体管为N型晶体管。

6. 根据权利要求3所述的像素电路，其特征在于，所述比较电路还包括第二二极管；

所述第二二极管的第一极与所述第一晶体管的第一极和所述第二晶体管的第一极连接、所述第二二极管的第二极与所述第一控制端连接。

7. 根据权利要求1-6任一项所述的像素电路，其特征在于，所述参考电压在一个所述帧周期内的波形为三角波、锯齿波、正弦波的正半波、正弦波的负半波中的一种。

8. 根据权利要求1-6任一项所述的像素电路，其特征在于，所述像素电路还包括第一开关晶体管、存储电容；

所述第一开关晶体管的栅极与第一扫描端连接、所述第一开关晶体管的第一极与数据信号端连接、所述第一开关晶体管的第二极与所述存储电容的第一端连接；

所述存储电容的第二端与第一电压端连接。

9. 根据权利要求8所述的像素电路，其特征在于，所述像素电路还包括第二开关晶体管、发光控制晶体管、发光器件；

所述第二开关晶体管的栅极与第二扫描端连接、所述第二开关晶体管的第一极与所述存储电容的第一端连接、所述第二开关晶体管的第二极与所述第一输入端连接；

所述驱动晶体管的第一极与第二电压端连接、所述驱动晶体管的第二极与所述发光控

制晶体管的第一极连接；

所述发光控制晶体管的栅极与所述第二控制端连接、所述发光控制晶体管的第二极与所述发光器件的一端连接；

所述发光器件的另一端与第三电压端连接。

10. 根据权利要求9所述的像素电路,其特征在于,所述第一扫描端与所述第一控制端连接；

所述第二扫描端与所述第二控制端连接。

11. 根据权利要求9或10所述的像素电路,其特征在于,所述发光器件为微发光二极管。

12. 一种显示面板,其特征在于,包括多个子像素;每一所述子像素中设置有如权利要求1-11任一项所述的像素电路。

13. 根据权利要求12所述的显示面板,其特征在于,在所述像素电路包括发光器件,第一开关晶体管的栅极与第一扫描端连接,第二开关二极管的栅极与第二扫描端连接的情况下,所述发光器件为微发光二极管,所述第一扫描端与第一控制端连接,所述第二扫描端与第二控制端连接；

至少两个相邻的所述子像素构成一个子像素组,每个所述子像素仅属于一个所述子像素组;一个所述子像素组中的所有所述像素电路的比较电路、驱动晶体管、所述发光器件集成在同一硅基芯片上。

14. 根据权利要求13所述的显示面板,其特征在于,一个子像素组中的所有所述子像素的所述第一开关晶体管同时导通。

15. 一种显示装置,其特征在于,包括权利要求12-14任一项所述的显示面板。

16. 一种如权利要求1-11任一项所述的像素电路的驱动方法,其特征在于,包括:

向比较电路的第一输入端输入像素电压,向所述比较电路的第二输入端输入参考电压；

在所述像素电压不小于所述参考电压的第一时段内,所述比较电路输出第一恒定电压；

在所述像素电压小于所述参考电压的第二时段内,所述比较电路输出第二恒定电压；

其中,所述第一时段和所述第二时段构成所述驱动晶体管的驱动周期;所述参考电压为呈周期变化的交流电压,所述参考电压的变化周期与帧周期同步,所述驱动周期与所述帧周期一一对应,且所述驱动周期的时长不大于与其对应的所述帧周期的时长。

一种像素电路及其驱动方法、显示面板、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素电路及其驱动方法、显示面板、显示装置。

背景技术

[0002] 微发光二极管显示器(Micro Light Emitting Diode Display,简称Micro LED)因亮度高、具备超高解析度和色彩饱和度,且相较于有机电致发光二极管(Organic Light-Emitting Diode,简称OLED),具有功耗低、寿命长、响应速度快、效率高等优点,被广泛认为是下一代的显示技术。

[0003] 其中,Micro LED包括阵列基板,阵列基板包括衬底,通过在衬底上集成高密度微小尺寸的LED阵列来实现LED薄型化、微小化、和矩阵化。Micro LED可以单独发光、且可对每一个子像素定址。

[0004] 目前,Micro LED的显示驱动技术整体照搬OLED的经验,即,在衬底上形成类似驱动OLED发光的像素电路、以及驱动像素电路工作的驱动电路。

[0005] 然而,由于Micro LED的器件特性与OLED的器件特性存在一定差异,尤其是Micro LED的色坐标随电流的变化,存在较严重的色坐标漂移,进而影响显示效果。例如,如图1所示,在大电流与小电流切换时,色坐标随着灰阶的变化而漂移,从而导致三基色中的一个或多个的实际亮度相较于理论亮度过亮或过暗,影响显示效果。

发明内容

[0006] 本发明的实施例提供一种像素电路及其驱动方法、显示面板、显示装置,可改善因色坐标漂移,而影响显示效果的问题。

[0007] 为达到上述目的,本发明的实施例采用如下技术方案:

[0008] 第一方面,提供一种像素电路,包括驱动晶体管,所述像素电路还包括:比较电路;所述比较电路与输出端、向所述比较电路输入像素电压的第一输入端、向所述比较电路输入参考电压的第二输入端、向所述比较电路输入第一恒定电压的第一控制端、向所述比较电路输入第二恒定电压的第二控制端连接;所述输出端与所述驱动晶体管的栅极连接;所述比较电路配置为:在所述像素电压不小于所述参考电压的第一时段内,将所述第一恒定电压输出至所述输出端;所述比较电路还配置为:在所述像素电压小于所述参考电压的第二时段内,将所述第二恒定电压输出至所述输出端;所述驱动晶体管在所述第一恒定电压的控制下截止,在所述第二恒定电压控制下导通;或者,所述驱动晶体管在所述第一恒定电压的控制下导通,在所述第二恒定电压控制下截止;所述第一时段和所述第二时段构成所述驱动晶体管的驱动周期;所述参考电压为呈周期变化的交流电压,所述参考电压的变化周期与帧周期同步,所述驱动周期与所述帧周期一一对应,且所述驱动周期的时长不大于与其对应的所述帧周期的时长。

[0009] 可选的,所述比较电路包括输入子电路、控制子电路、输出子电路;所述输入子电

路与所述第一输入端、所述第二输入端、所述第一控制端、所述第二控制端、第一节点连接；所述控制子电路与所述第一节点、所述第一控制端、所述第二控制端、第二节点连接；所述输出子电路与所述第二节点、所述第一控制端、所述第二控制端、所述输出端连接；所述输入子电路配置为：在所述第一输入端输入的像素电压不小于所述第二输入端输入的参考电压的第一时段内，在所述像素电压、所述参考电压、所述第一恒定电压、所述第二恒定电压的控制下，将第一控制电流通过所述第一节点输出至所述控制子电路；所述控制子电路配置为：在所述第一控制电流和所述第一恒定电压的控制下，将所述第一恒定电压输出至所述第二节点；所述输出子电路配置为：在所述第二节点的第一恒定电压的控制下，将所述第二控制端的第二恒定电压输出至所述输出端；所述输入子电路还配置为：在所述第一输入端输入的像素电压小于所述第二输入端输入的参考电压的第二时段内，在所述像素电压、所述参考电压、所述第一恒定电压、所述第二恒定电压的控制下，将第二控制电流通过所述第一节点输出至所述控制子电路；所述控制子电路还配置为：在所述第二控制电流的控制下，将所述第二恒定电压输出至所述第二节点；所述输出子电路还配置为：在所述第二节点的第二恒定电压的控制下，将所述第一控制端的第一恒定电压输出至所述输出端。

[0010] 可选的，所述输入子电路包括第一晶体管、第二晶体管、第三晶体管、以及第四晶体管；所述第一晶体管的栅极与所述第一输入端连接、所述第一晶体管的第一极与所述第一控制端连接、所述第一晶体管的第二极与所述第三晶体管的第一极连接；所述第二晶体管的栅极与所述第二输入端连接、所述第二晶体管的第一极与所述第一控制端连接、所述第二晶体管的第二极与所述第一节点连接；所述第三晶体管的栅极与其第一极和所述第四晶体管的栅极连接、所述第三晶体管的第二极与所述第二控制端连接；第四晶体管的第一极与所述第一节点连接、第四晶体管的第二极与所述第二控制端连接；其中，所述第一晶体管和所述第二晶体管处于放大区，且均为P型晶体管；所述第三晶体管和所述第四晶体管的结构相同，且均为N型晶体管；所述第一恒定电压为高电平，所述第二恒定电压为低电平。

[0011] 可选的，所述控制子电路包括第一二极管、第五晶体管；所述第一二极管的第一极与所述第一控制端连接、所述第一二极管的第二极与所述第二节点连接；所述第五晶体管的栅极与所述第一节点连接、所述第五晶体管的第一极与所述第二控制端连接、所述第五晶体管的第二极与所述第二节点连接；其中，第五晶体管为N型晶体管；所述第一二极管的电阻大于所述第五晶体管的电阻。

[0012] 可选的，所述输出子电路包括第六晶体管和第七晶体管；所述第六晶体管的栅极与所述第二节点连接、所述第六晶体管的第一极与所述第一控制端连接、所述第六晶体管的第二极与所述输出端连接；所述第七晶体管的栅极与所述第二节点连接、所述第七晶体管的第一极与所述第二控制端连接、所述第七晶体管的第二极与所述输出端连接；其中，所述第六晶体管为P型晶体管，所述第七晶体管为N型晶体管。

[0013] 可选的，还包括第二二极管；所述第二二极管的第一极与所述第一晶体管的第一极和所述第二晶体管的第一极连接、所述第二二极管的第二极与所述第一控制端连接。

[0014] 可选的，所述参考电压在一个所述帧周期内的波形为三角波、锯齿波、正弦波的正半波、正弦波的负半波中的一种。

[0015] 可选的，所述像素电路还包括第一开关晶体管、存储电容；所述第一开关晶体管的栅极与第一扫描端连接、所述第一开关晶体管的第一极与数据信号端连接、所述第一开关

晶体管的第二极与所述存储电容的第一端连接;所述存储电容的第二端与第一电压端连接。

[0016] 可选的,所述像素电路还包括第二开关晶体管、发光控制晶体管、发光器件;所述第二开关晶体管的栅极与第二扫描端连接、所述第二开关晶体管的第一极与所述存储电容的第一端连接、所述第二开关晶体管的第二极与所述第一输入端连接;所述驱动晶体管的第一极与第二电压端连接、所述驱动晶体管的第二极与所述发光控制晶体管的第一极连接;所述发光控制晶体管的栅极与所述第二控制端连接、所述发光控制晶体管的第二极与所述发光器件的一端连接;所述发光器件的另一端与第三电压端连接。

[0017] 可选的,所述第一扫描端与所述第一控制端连接;所述第二扫描端与所述第二控制端连接。

[0018] 可选的,所述发光器件为微发光二极管。

[0019] 第二方面,提供一种显示面板,包括多个子像素;每一所述子像素中设置有如第一方面所述的像素电路。

[0020] 可选的,在所述像素电路包括发光器件,第一开关晶体管的栅极与第一扫描端连接,第二开关晶体管的栅极与第二扫描端连接的情况下,所述发光器件为微发光二极管,所述第一扫描端与第一控制端连接,所述第二扫描端与第二控制端连接;至少两个相邻的所述子像素构成一个子像素组,每个所述子像素仅属于一个所述子像素组;一个所述子像素组中的所有所述像素电路的比较电路、驱动晶体管、所述发光器件集成在同一硅基芯片上。

[0021] 可选的,一个子像素组中的所有所述子像素的所述第一开关晶体管同时导通。

[0022] 第三方面,提供一种显示装置,包括第二方面所述的显示面板。

[0023] 第三方面,提供一种如第一方面所述的像素电路的驱动方法,包括:向比较电路的第一输入端输入像素电压,向所述比较电路的第二输入端输入参考电压;在所述像素电压不小于所述参考电压的第一时段内,所述比较电路输出第一恒定电压;在所述像素电压小于所述参考电压的第二时段内,所述比较电路输出第二恒定电压;其中,所述第一时段和所述第二时段构成所述驱动晶体管的驱动周期;所述参考电压为呈周期变化的交流电压,所述参考电压的变化周期与帧周期同步,所述驱动周期与所述帧周期一一对应,且所述驱动周期的时长不大于与其对应的所述帧周期的时长。

[0024] 本发明实施例提供一种像素电路及其驱动方法、显示面板、显示装置,像素电路包括比较电路,比较电路包括第一输入端 V_{in} 、第二输入端 V_{ref} 、以及输出端 V_{out} 。其中,向第一输入端 V_{in} 输入像素电压,向第二输入端 V_{ref} 输入参考电压。若第一输入端 V_{in} 输入的像素电压不小于第二输入端 V_{ref} 输入的参考电压,则输出端 V_{out} 输出第一恒定电压;若第一输入端 V_{in} 输入的像素电压小于第二输入端 V_{ref} 输入的参考电压,则输出端 V_{out} 输出第二恒定电压。在第一恒定电压或第二恒定电压的控制下,驱动晶体管 $T2$ 导通或截止。本发明实施例可以通过控制第一输入端 V_{in} 输入的像素电压的值的大小,来控制驱动晶体管 $T2$ 的导通时间的长短,驱动晶体管 $T2$ 在一个驱动周期内的导通时间越长,该像素电路对应的子像素的发光时间越长,相同电压下,该子像素的亮度越大。进而可通过调节子像素的发光时长,来改善因色坐标漂移而导致的实际亮度相较于理论亮度过亮或过暗的问题。

附图说明

[0025] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0026] 图1为现有技术提供一种色坐标随着灰阶的变化图;

[0027] 图2为本发明实施例提供一种显示装置的结构示意图;

[0028] 图3为本发明实施例提供一种像素电路的结构示意图;

[0029] 图4为本发明实施例提供一种像素电路的结构示意图;

[0030] 图5为图4的像素电路的时序图;

[0031] 图6为图3的像素电路的时序图;

[0032] 图7为本发明实施例提供一种像素电路的结构示意图;

[0033] 图8为本发明实施例提供一种参考电压的波形图;

[0034] 图9为本发明实施例提供一种参考电压的波形图;

[0035] 图10为本发明实施例提供一种参考电压的波形图;

[0036] 图11为本发明实施例提供一种显示面板的俯视示意图;

[0037] 图12为本发明实施例提供一个子像素组中的多个像素电路的结构示意图;

[0038] 图13为本发明实施例提供一个子像素组中的多个像素电路的结构示意图;

[0039] 图14为本发明实施例提供一种驱动像素电路的流程示意图。

[0040] 附图标记:

[0041] 1-框架;2-显示面板;21-阵列基板;211-子像素;22-封装层;3-电路板;4-盖板;11-输入子电路;12-控制子电路;13-输出子电路;31-比较电路;32-发光器件;100-硅基芯片。

具体实施方式

[0042] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0043] 显示装置可以用作手机、平板电脑、个人数字助理(personal digital assistant,PDA)、车载电脑等,本发明实施例对显示面板的具体用途不做特殊限制。

[0044] 如图2所示,该显示装置例如可以包括框架1、显示面板2、电路板3、盖板4、以及包括摄像头等的其他电子配件。

[0045] 以顶发光的显示面板2为例,如图2所示,显示面板2、电路板3设置在框架1内,电路板3设置在显示面板2的下方,盖板4设置在显示面板2的出光侧。

[0046] 上述显示面板2可以是OLED显示面板、或Micro LED显示面板、或量子点电致发光二极管(Quantum Dot Light Emitting Diodes,简称QLED)显示面板。

[0047] 上述显示面板2包括阵列基板21和封装层22。阵列基板21包括发光器件和用于驱动发光器件发光的像素电路。

[0048] 本发明实施例提供一种像素电路,可用于上述显示面板的像素电路。如图3所示,包括驱动晶体管T2,像素电路还包括:比较电路31;比较电路31与输出端Vout、向比较电路31输入像素电压的第一输入端Vin、向比较电路31输入参考电压的第二输入端Vref、向比较电路31输入第一恒定电压的第一控制端V1、向比较电路31输入第二恒定电压的第二控制端V2、连接;输出端Vout与驱动晶体管T2的栅极连接。

[0049] 在一些实施例中,驱动晶体管T2可以是N型晶体管,也可以是P型晶体管。

[0050] 在一些实施例中,像素电路还包括发光器件32,发光器件32的一端与驱动晶体管T2的第二极连接,另一端与第三电压端VSS连接。驱动晶体管T2的第一极与第二电压端VDD连接。

[0051] 其中,若像素电路为2T1C结构,则发光器件32与驱动晶体管T2的第二极直接连接;如图4所示,若像素电路不为2T1C结构(例如像素电路为4T1C结构),则像素电路还包括发光控制晶体管T4,发光器件32与驱动晶体管T2的第二极通过发光控制晶体管T4间接连接。其中,发光控制晶体管T4的第一极与驱动晶体管T2的第二极连接、发光控制晶体管T4的第二极与发光器件32连接、发光控制晶体管T4的栅极与第二控制端V2连接。

[0052] 当然,像素电路还可以是其他结构,本发明实施例对此不进行限定。例如,像素电路还可以是7T1C等。

[0053] 比较电路配置为:在像素电压不小于参考电压的第一时段内,将第一恒定电压输出至输出端Vout。

[0054] 在一些实施例中,在像素电压不小于参考电压的第一时段内,当第一恒定电压为低电平且驱动晶体管T2为P型晶体管;或者,第一恒定电压为高电平且驱动晶体管T2为N型晶体管时,驱动晶体管T2导通,并控制发光器件32发光。否则,驱动晶体管T2截止,发光器件32不发光。

[0055] 在一些实施例中,第一时间段可以是一个周期内连续的一段时间;或者,第一时间段也可以是一个周期内不连续的多段时间的总和。

[0056] 比较电路31还配置为:在像素电压小于第二输入端Vref输入的参考电压的第二时段内,将第二恒定电压输出至输出端Vout。

[0057] 在一些实施例中,在像素电压小于参考电压的第二时段内,当第二恒定电压为低电平且驱动晶体管T2为P型晶体管;或者,第二恒定电压为高电平且驱动晶体管T2为N型晶体管时,驱动晶体管T2导通,并控制发光器件32发光。否则,驱动晶体管T2截止,发光器件32不发光。

[0058] 在一些实施例中,第二时间段可以是一个周期内连续的一段时间;或者,第二时间段也可以是一个周期内不连续的多段时间的总和。

[0059] 驱动晶体管T2在第一恒定电压的控制下截止,在第二恒定电压控制下导通;或者,驱动晶体管T2在第一恒定电压的控制下导通,在第二恒定电压控制下截止。第一时段和第二时段构成驱动晶体管T2的驱动周期 T_i (图5和图6中的 $T_1 \sim T_3$)。参考电压为呈周期变化的交流电压,参考电压的变化周期与驱动周期同步,驱动周期与帧周期一一对应,且驱动周期的时长不大于与其对应的帧周期的时长。

[0060] 在一些实施例中,显示一幅画面具有多个帧周期Frame(i)(图5和图6中的Frame(n)~Frame(n+2)),每个驱动周期属于一个帧周期,且一个驱动周期 T_i 的时长不大于其所

在帧的帧周期Frame (i)的时长。

[0061] 示例的,如图4和图5所示,若像素结构为4T1C,则像素电路还包括第一开关晶体管T1、第二开关晶体管T3、存储电容C。第一开关晶体管T1的栅极与第一扫描端Gate连接、第一开关晶体管T1的第一极与数据信号端date连接、第一开关晶体管T1的第二极与存储电容C的第一端连接;第二开关晶体管T3的栅极与第二扫描端EM连接、第二开关晶体管T3的第一极与存储电容C的第一端连接、第二开关晶体管T3的第二极与第一输入端Vin连接;存储电容C的第二端与第一电压端连接。

[0062] 假设第一开关晶体管T1、第二开关晶体管T3、驱动晶体管T2、以及发光控制晶体管T4均为P型晶体管,其工作过程为:

[0063] 在第一阶段,第一扫描端Gate为低电平、第二扫描端EM和第二控制端V2均为高电平,第一开关晶体管T1导通,第二开关晶体管T3和发光控制晶体管T4均截止,比较电路31未生效,数据信号端Date将像素电压经过第一开关晶体管T1充入存储电容C中。

[0064] 在第二阶段,第一扫描端Gate为高电平、第二扫描端EM和第二控制端V2均为低电平,第一开关晶体管T1截止,第二开关晶体管T3和发光控制晶体管T4均导通,比较电路31生效,存储电容C中存储的像素电压通过第二开关晶体管T3输入至比较电路31的第一输入端Vin。

[0065] 此处,如图5所示,第二阶段所在的时间段即为一个驱动周期 T_i 。第一阶段和第二阶段所在的时间段即为一个帧周期Frame (i)。其中,一个驱动周期 T_i 的时长小于其所在帧的帧周期Frame (i)的时长。

[0066] 示例的,如图3和图6所示,像素结构为2T1C,则像素电路还包括第一开关晶体管T1和存储电容C。第一开关晶体管T1的栅极与第一扫描端Gate连接、第一开关晶体管T1的第一极与数据信号端Date连接、第一开关晶体管T1的第二极与第一输入端Vin连接。

[0067] 假设第一开关晶体管T1为P型晶体管、驱动晶体管T2为N型晶体管,其工作过程为:

[0068] 第一扫描端Gate为低电平,第一开关晶体管T1导通,且驱动晶体管T2导通,比较电路31生效,数据信号端Date将像素电压经过第一开关晶体管T1输入至比较电路31的第一输入端Vin。此处,如图6所示,一个驱动周期 T_i 的时长等于其所在帧的帧周期Frame (i)的时长。

[0069] 在一些实施例中,第二输入端Vref输入的参考电压为与驱动周期同步的交流电压,其大小随时间呈周期性变化,且其变化周期与驱动周期同步。

[0070] 第一输入端Vin输入的像素电压在一个驱动周期内的大小均相同;在不同驱动周期,第一输入端Vin输入的像素电压可以相同,也可以不相同。

[0071] 其中,一旦确定参考电压的大小及变化规律,可以通过调节向第一输入端Vin输入的像素电压的大小,来调节发光器件32的发光时长。

[0072] 如图5所示,假设在第一输入端Vin输入的像素电压小于第二输入端Vref输入的参考电压的情况下,发光器件32发光,则第一输入端Vin输入的像素电压越大,发光器件32的发光时长越短。

[0073] 参考图6所示,假设在第一输入端Vin输入的像素电压大于第二输入端Vref输入的参考电压的情况下,发光器件32发光,则第一输入端Vin输入的像素电压越大,发光器件32的发光时长越长。

[0074] 当然,如图6所示,第一输入端Vin输入的像素电压在各个驱动周期的值也可以始终相等。

[0075] 本发明实施例提供一种像素电路,像素电路包括比较电路31,比较电路31包括第一输入端Vin、第二输入端Vref、以及输出端Vout。其中,向第一输入端Vin输入像素电压,向第二输入端Vref输入参考电压。若第一输入端Vin输入的像素电压不小于第二输入端Vref输入的参考电压,则输出端Vout输出第一恒定电压;若第一输入端Vin输入的像素电压小于第二输入端Vref输入的参考电压,则输出端Vout输出第二恒定电压。在第一恒定电压或第二恒定电压的控制下,驱动晶体管T2导通或截止。本发明实施例可以通过控制第一输入端Vin输入的像素电压的值的的大小和对应的时长来控制驱动晶体管T2的导通时间的长短,驱动晶体管T2在一个驱动周期内的导通时间越长,该像素电路对应的子像素的发光时间越长,相同电压下,该子像素的亮度越大。进而可通过调节子像素的发光时长,来改善因色坐标漂移而导致的实际亮度相较于理论亮度过亮或过暗的问题。

[0076] 可选的,如图7所示,比较电路31包括输入子电路11、控制子电路12、输出子电路13;输入子电路11与第一输入端Vin、第二输入端Vref、第一控制端V1、第二控制端V2、第一节点A连接;控制子电路12与第一节点A、第一控制端V1、第二控制端V2、第二节点B连接;输出子电路13与第二节点B、第一控制端V1、第二控制端V2、输出端Vout连接。

[0077] 输入子电路11配置为:在第一输入端Vin输入的像素电压不小于第二输入端Vref输入的参考电压的第一时段内,在像素电压、参考电压、第一恒定电压、第二恒定电压的控制下,将第一控制电流通过第一节点A输出至控制子电路12;控制子电路12配置为:在第一控制电流和第一恒定电压的控制下,将第一恒定电压输出至第二节点B;输出子电路13配置为:在第二节点B的第一恒定电压的控制下,将第二控制端V2的第二恒定电压输出至输出端Vout。

[0078] 此处,输入子电路11包括第一晶体管M1、第二晶体管M2、第三晶体管M3、以及第四晶体管M4。

[0079] 第一晶体管M1的栅极与第一输入端Vin连接、第一晶体管M1的第一极与第一控制端V1连接、第一晶体管M1的第二极与第三晶体管M3的第一极连接。第二晶体管M2的栅极与第二输入端Vref连接、第二晶体管M2的第一极与第一控制端V1连接、第二晶体管M2的第二极与第一节点A连接。第三晶体管M3的栅极与其第一极和第四晶体管M4的栅极连接、第三晶体管M3的第二极与第二控制端V2连接。第四晶体管M4的第一极与第一节点A连接、第四晶体管M4的第二极与第二控制端V2连接。

[0080] 其中,第一晶体管M1和第二晶体管M2处于放大区,且均为P型晶体管;第三晶体管M3和第四晶体管M4的结构相同,且均为N型晶体管;第一恒定电压为高电平,第二恒定电压为低电平。

[0081] 控制子电路12包括第一二极管M8、第五晶体管M5。第一二极管M8的第一极与第一控制端V1连接、第一二极管M8的第二极与第二节点B连接。第五晶体管M5的栅极与第一节点A连接、第五晶体管M5的第一极与第二控制端V2连接、第五晶体管M5的第二极与第二节点B连接。其中,第五晶体管M5为N型晶体管;第一二极管M8的电阻大于第五晶体管M5的电阻。

[0082] 输出子电路13包括第六晶体管和第七晶体管。第六晶体管M6的栅极与第二节点B连接、第六晶体管M6的第一极与第一控制端V1连接、第六晶体管M6的第二极与输出端Vout

连接。第七晶体管M7的栅极与第二节点B连接、第七晶体管M7的第一极与第二控制端V2连接、第七晶体管M7的第二极与输出端Vout连接。其中，第六晶体管M6为P型晶体管，第七晶体管M7为N型晶体管。

[0083] 在比较电路工作的情况下，在第一输入端Vin输入的像素电压不小于第二输入端Vref输入的参考电压的第一时段内，由于第一晶体管M1和第二晶体管M2处于放大区，因此，第一晶体管M1的第二极输出的电流I1仅与其栅极输入的像素电压成正比，第二晶体管M2的第二极输出的电流I2仅与其栅极输入的参考电压成正比，进而 $I1 \geq I2$ 。在此基础上，由于第三晶体管M3和第四晶体管M4的结构相同，因此，流经第三晶体管M3上的电流I3和第四晶体管M4上的电流I4的大小相同，且流经第三晶体管M3的电流I3与第一晶体管M1上的电流I1相等。

[0084] 其中，第二晶体管M2上的电流I2等于第四晶体管M4上的电流I4与第五晶体管M5上的电流I5之和。由于 $I1 \geq I2$ ，因此第五晶体管M5上的电流I5的方向为从第五晶体管M5流向第四晶体管M4，此时，第五晶体管M5截止。

[0085] 此处，虽然第五晶体管M5截止，但在第五晶体管M5截止之前，若第五晶体管M5处于导通状态，则第五晶体管M5将会存储一部分电荷，在电流从第五晶体管M5流向第四晶体管M4时，第五晶体管M5中存储的电荷流出，形成电流。

[0086] 第一二极管M8在第一控制端V1的第一恒定电压的控制下，将高电平通过第二节点B输入至第七晶体管M7的栅极，并控制第七晶体管M7导通、第六晶体管M6截止。第七晶体管M7导通，并通过其第二极将第二恒定电压输出至输出端Vout。

[0087] 在此基础上，由于第二恒定电压为低电平，因此，若驱动晶体管T2为P型晶体管，则驱动晶体管T2导通，并控制发光器件32发光。若驱动晶体管T2为N型晶体管，则驱动晶体管T2截止，并控制发光器件32不发光。为了保证一个驱动周期内发光的连续性，参考电压为如图6所示的波形。

[0088] 在一些实施例中，第一控制电流为流经第五晶体管M5的电流I5， $I5 = I4 - I2 > 0$ ，且流经第五晶体管M5的电流I5的方向为从第五晶体管M5流向第四晶体管M4。

[0089] 输入子电路11还配置为：在第一输入端Vin输入的像素电压小于第二输入端Vref输入的参考电压的第二时段内，在像素电压、参考电压、第一恒定电压、第二恒定电压的控制下，将第二控制电流通过第一节点A输出至控制子电路12；控制子电路12还配置为：在第二控制电流的控制下，将第二恒定电压输出至第二节点B；输出子电路13还配置为：在第二节点B的第二恒定电压的控制下，将第一控制端V1的第一恒定电压输出至输出端Vout。

[0090] 在比较电路工作的情况下，在第一输入端Vin输入的像素电压小于第二输入端Vref输入的参考电压的第二时段内，由于第一晶体管M1和第二晶体管M2处于放大区，因此，第一晶体管M1的第二极输出的电流I1仅与其栅极输入的像素电压成正比，第二晶体管M2的第二极输出的电流I2仅与其栅极输入的参考电压成正比，进而 $I1 < I2$ 。在此基础上，由于第三晶体管M3和第四晶体管M4的结构相同，因此，流经第三晶体管M3上的电流I3和第四晶体管M4上的电流I4的大小相同，且流经第三晶体管M3的电流I3与第一晶体管M1上的电流I1相等。

[0091] 其中，第二晶体管M2上的电流I2等于第四晶体管M4上的电流I4与第五晶体管M5上的电流I5之和。由于 $I1 < I2$ ，因此，第五晶体管M5上的电流I5的方向为从第二晶体管M2流向

第五晶体管M5,此时,第五晶体管M5导通。

[0092] 第五晶体管M5在第二控制电流的控制下,将低电平通过第二节点B输入至第六晶体管M6的栅极,并控制第六晶体管M6导通、第七晶体管M7截止。第六晶体管M6导通,并通过其第二极将第一恒定电压输出至输出端Vout。

[0093] 此处,由于第一二极管M8的电阻大于第五晶体管M5的电阻,因此,第五晶体管M5导通,以由第五晶体管M5将通过第二节点B第一恒定电压输出至输出端Vout。

[0094] 本领域的技术人员可通过设计第一二极管M8的参数,来使得第一二极管M8的电阻大于第五晶体管M5的电阻。同时,还可根据实际需求来设计第一二极管M8与第五晶体管M5的电阻差值范围,只要在第五晶体管M5上的电流I5的方向为从第二晶体管M2流向第五晶体管M5时,可使得第五晶体管M5导通、第一二极管M8截止即可。

[0095] 在此基础上,由于第一恒定电压为高电平,因此,若驱动晶体管T2为P型晶体管,则驱动晶体管T2截止,并控制发光器件32不发光。若驱动晶体管T2为N型晶体管,则驱动晶体管T2导通,并控制发光器件32发光。为了保证一个驱动周期内发光的连续性,参考电压为如图5所示的波形。

[0096] 在一些实施例中,第二控制电流为流经第五晶体管M5的电流I5, $I_5 = I_2 - I_4 > 0$,且流经第五晶体管M5的电流I5的方向为从第二晶体管M2流向第五晶体管M5。

[0097] 在上述基础上,若像素电路还包括发光控制晶体管T4,则在比较电路31输出的第一恒定电压或第二恒定电压可以空驱动晶体管T2导通的情况下,发光控制晶体管T4也处于导通状态。而在存储电容C充电的第一阶段(即,前述实施例的第一阶段),为了避免发光器件32误发光,发光控制晶体管T4处于截止状态。

[0098] 其中,考虑到发光控制晶体管T4的栅极与第二控制端V2连接,第二控制端V2的第二恒定电压为低电平,因此,发光控制晶体管T4可以是P型晶体管。

[0099] 在一些实施例中,第一二极管M8可以与第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7同层设置。这样一来,可以简化像素电路的制备工艺。

[0100] 此处,晶体管的栅极与源极(或漏极)电连接,可以构成第一二极管M8的第一极;晶体管的漏极(或源极)为第一二极管M8的第二极。

[0101] 本发明实施例中,根据输入子电路11、控制子电路12、以及输出子电路13之间的相互配合,以使得输出端Vout输出第一恒定电压或第二恒定电压,进而控制驱动晶体管T2导通或截止。

[0102] 可选的,如图7所示,像素电路还包括第二二极管M9。第二二极管M9的第一极与第一晶体管M1的第一极和第二晶体管M2的第一极连接、第二极与第一控制端V1连接。

[0103] 在一些实施例中,第二二极管M9可以与第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7同层设置。这样一来,可以简化像素电路的制备工艺。

[0104] 此处,晶体管的栅极与源极(或漏极)电连接,可以构成第二二极管M9的第一极;晶体管的漏极(或源极)为第二二极管M9的第二极。

[0105] 由于在整个显示过程(包括发光器件发光和不发光)中,第一晶体管M1始终接收像素电压,第二晶体管始终接收参考电压,其功耗较大。

[0106] 基于此,本发明实施例通过在像素电路中设置第二二极管M9,且第二二极管M9与第一晶体管M1的第一极和第二晶体管M2的第一极连接,以起到限流作用,节省像素电路所需的功耗。

[0107] 可选的,参考电压在一个帧周期内的波形为三角波(图5和图6)、锯齿波(图8)、正弦波的正半波(图9)、正弦波的负半波(图10)中的一种。

[0108] 本发明实施例中,考虑到像素电压在一个驱动周期内为一恒定的值,则可使参考电压为一交流电压,进而使得一个驱动周期包括第一时段和/或第二时段,以控制每个子像素的在一个驱动周期内的发光时长。

[0109] 可选的,如图7所示,第一扫描端Gate与第一控制端V1连接;第二扫描端EM与第二控制端V2连接。

[0110] 此处,第一开关晶体管T1和第二开关晶体管T3均为P型晶体管。

[0111] 本发明实施例中,由于在比较电路31工作的时候,第一扫描端Gate的电压与第一控制端V1的第一恒定电压均为高电平,第二扫描端EM的电压和第二控制端V2的第二恒定电压均为低电平,因此,可以使第一扫描端Gate与第一控制端V1连接、第二扫描端EM与第二控制端V2连接,以减少外部电路与像素电路连接的走线。对于每个子像素来说,均可减少两根外部电路与像素电路连接的走线,若所述像素电路应用于显示面板,可大大提高显示面板的开口率。

[0112] 可选的,发光器件32为微发光二极管(Micro LED)。

[0113] 本发明实施例中,在发光器件32为Micro LED的情况下,利用该像素电路可解决因大电流与小电流切换,而导致色坐标漂移,进而影响显示效果的问题。

[0114] 本发明实施例还提供一种显示面板2,如图11所示,包括多个子像素211;每一子像素211中设置有如前述任一实施例所述的像素电路。

[0115] 此处,如图3所示,多个子像素211包括红色子像素、绿色子像素、蓝色子像素;或者,多个子像素211包括品红色子像素、黄色子像素、青色子像素。在此基础上,上述多个子像素211还可以包括白色子像素。

[0116] 本发明实施例提供一种显示面板,其解释说明和有益效果与前述一种像素电路相同,在此不再赘述。

[0117] 可选的,如图12和图13所示,在发光器件32为微发光二极管、且第一扫描端Gate与第一控制端V1连接、第二扫描端EM与第二控制端V2连接的情况下,至少两个相邻的子像素211构成一个子像素组,每个子像素仅属于一个子像素组;一个子像素组中的所有像素电路的比较电路31、驱动晶体管T2、发光器件32集成在同一硅基芯片100上。

[0118] 在一些实施例中,一个子像素组中的多个像素电路可以位于同一行(第一开关晶体管T1与同一根栅线连接);或者,一个子像素组中的多个像素电路可以位于不同行。

[0119] 考虑到在玻璃基上形成低温多晶硅(Low Temperature Poly-silicon,简称LTPS)薄膜晶体管的工艺下,难以实现比较电路31,或者,制备得到的比较电路31的性能较差。

[0120] 基于此,本发明实施例在硅基芯片100上形成比较电路31,以提高其性能。在此基础上,还可将一个子像素组中的多个比较电路31、驱动晶体管T2、以及发光器件32集成在同一硅基芯片100上。这样一来,在第一扫描端Gate与第一控制端V1连接、第二扫描端EM与第二控制端V2连接的情况下,设置有一个子像素组的一个硅基芯片的输入引脚只需分别与至

少一个第一扫描端Gate、至少一个第二扫描端EM、一个第二电压端VDD、一个第三电压端VSS、以及一个第二输入端Vref连接,与现有技术的设置有一个子像素的芯片的输入引脚分别与一个第一扫描端Gate、一个第二扫描端EM、一个第二电压端VDD、一个第三电压端VSS、以及一个第二输入端Vref连接,可大大减少硅基芯片的输入引脚的个数,进而减少显示面板2中显示区域内的走线的数量,从而提高显示面板2的开口率。

[0121] 可选的,像素电路包括第一开关晶体管T1;第一扫描端Gate与第一控制端V1连接;第二扫描端V2与第二控制端EM连接;一个子像素组中的所有子像素的第一开关晶体管T1同时导通。

[0122] 即,一个子像素组中的所有子像素的第一开关晶体管T1位于同一行。

[0123] 本发明实施例中,由于在显示过程中,栅线逐行打开、逐行扫描,通过使一个子像素组中所有子像素的第一开关晶体管T1同时导通,可使得一个硅基芯片100的输入引脚仅与一个第一扫描端Gate和一个第二扫描端EM连接,从而进一步减少硅基芯片100的输入引脚的数量,以提高显示面板2的开口率。

[0124] 本发明实施例还提供一种如前述任一实施例所述的像素电路的驱动方法,如图14所示,可通过如下步骤实现:

[0125] S11、向比较电路31的第一输入端Vin输入像素电压,向比较电路31的第二输入端Vref输入参考电压。

[0126] S12、在像素电压不小于参考电压的第一时段内,比较电路31输出第一恒定电压。

[0127] 在一些实施例中,在像素电压不小于参考电压的第一时段内,当第一恒定电压为低电平,且驱动晶体管T2为P型晶体管;或者,第一恒定电压为高电平,且驱动晶体管T2为N型晶体管时,驱动晶体管T2导通,并控制发光器件32发光。否则,驱动晶体管T2截止,发光器件32不发光。

[0128] 在一些实施例中,第一时间段可以是一个周期内连续的一段时间;或者,第一时间段也可以是一个周期内不连续的多段时间的总和。

[0129] S13、在像素电压小于参考电压的第二时段内,比较电路31输出第二恒定电压。

[0130] 在一些实施例中,在像素电压小于参考电压的第二时段内,当第二恒定电压为低电平,且驱动晶体管T2为P型晶体管;或者,第二恒定电压为高电平,且驱动晶体管T2为N型晶体管时,驱动晶体管T2导通,并控制发光器件32发光。否则,驱动晶体管T2截止,发光器件32不发光。

[0131] 在一些实施例中,第二时段可以是一个周期内连续的一段时间;或者,第二时段也可以是一个周期内不连续的多段时间的总和。

[0132] 第一时段和第二时段构成驱动晶体管T2的驱动周期;参考电压为呈周期变化的交流电压,参考电压的变化周期与帧周期同步,驱动周期与帧周期一一对应,且驱动周期的时长不大于与其对应的帧周期的时长。

[0133] 在一些实施例中,显示一幅画面具有多个帧周期Frame (i) (图5和图6中的Frame (n) ~Frame (n+2)),每个驱动周期属于一个帧周期,且一个驱动周期Ti的时长不大于其所在帧的帧周期Frame (i)的时长。

[0134] 示例的,如图4和图5所示,若像素结构为4T1C,则像素电路还包括第一开关晶体管T1、第二开关晶体管T3、存储电容C。第一开关晶体管T1的栅极与第一扫描端Gate连接、第一

开关晶体管T1的第一极与数据信号端date连接、第一开关晶体管T1的第二极与存储电容C的第一端连接；第二开关晶体管T3的栅极与第二扫描端EM连接、第二开关晶体管T3的第一极与存储电容C的第一端连接、第二开关晶体管T3的第二极与第一输入端Vin连接；存储电容C的第二端与第一电压端连接。

[0135] 假设第一开关晶体管T1、第二开关晶体管T3、驱动晶体管T2、以及发光控制晶体管T4均为P型晶体管，其工作过程为：

[0136] 在第一阶段，第一扫描端Gate为低电平、第二扫描端EM和第二控制端V2均为高电平，第一开关晶体管T1导通，第二开关晶体管T3和发光控制晶体管T4均截止，比较电路31未生效，数据信号端Date将像素电压经过第一开关晶体管T1充入存储电容C中。

[0137] 在第二阶段，第一扫描端Gate为高电平、第二扫描端EM和第二控制端V2均为低电平，第一开关晶体管T1截止，第二开关晶体管T3和发光控制晶体管T4均导通，比较电路31生效，存储电容C中存储的像素电压通过第二开关晶体管T3输入至比较电路31的第一输入端Vin。

[0138] 此处，如图5所示，第二阶段所在的时间段即为一个驱动周期 T_i 。第一阶段和第二阶段所在的时间段即为一个帧周期Frame(i)。其中，一个驱动周期 T_i 的时长小于其所在帧的帧周期Frame(i)的时长。

[0139] 示例的，如图3和图6所示，像素结构为2T1C，则像素电路还包括第一开关晶体管T1和存储电容C。第一开关晶体管T1的栅极与第一扫描端Gate连接、第一开关晶体管T1的第一极与数据信号端Date连接、第一开关晶体管T1的第二极与第一输入端Vin连接。

[0140] 假设第一开关晶体管T1为P型晶体管、驱动晶体管T2为N型晶体管，其工作过程为：

[0141] 第一扫描端Gate为低电平，第一开关晶体管T1导通，且驱动晶体管T2导通，比较电路31生效，数据信号端Date将像素电压经过第一开关晶体管T1输入至比较电路31的第一输入端Vin。此处，如图6所示，一个驱动周期 T_i 的时长等于其所在帧的帧周期Frame(i)的时长。

[0142] 在一些实施例中，第二输入端Vref输入的参考电压为与驱动周期同步的交流电压，其大小随时间呈周期性变化，且其变化周期与驱动周期同步。

[0143] 第一输入端Vin输入的像素电压在一个驱动周期内的大小均相同；在不同驱动周期，第一输入端Vin输入的像素电压可以相同，也可以不相同。

[0144] 其中，一旦确定参考电压的大小及变化规律，可以通过调节向第一输入端Vin输入的像素电压的大小，来调节发光器件32的发光时长。

[0145] 如图5所示，假设在第一输入端Vin输入的像素电压小于第二输入端Vref输入的参考电压的情况下，发光器件32发光，则第一输入端Vin输入的像素电压越大，发光器件32的发光时长越短。

[0146] 参考图6所示，假设在第一输入端Vin输入的像素电压大于第二输入端Vref输入的参考电压的情况下，发光器件32发光，则第一输入端Vin输入的像素电压越大，发光器件32的发光时长越长。

[0147] 当然，如图6所示，第一输入端Vin输入的像素电压在各个驱动周期的值也可以始终相等。

[0148] 本发明实施例提供一种像素电路的驱动方法，与前述像素电路的有益效果相同，

在此不再赘述。

[0149] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

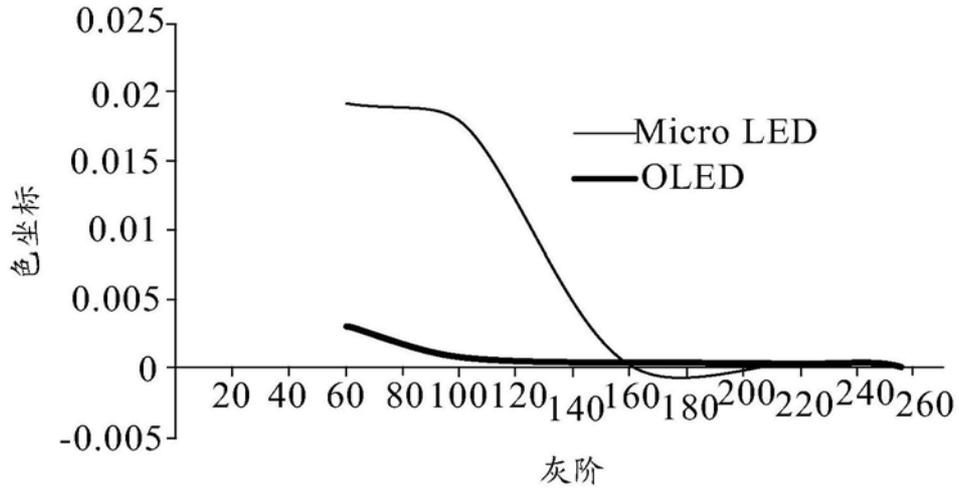


图1

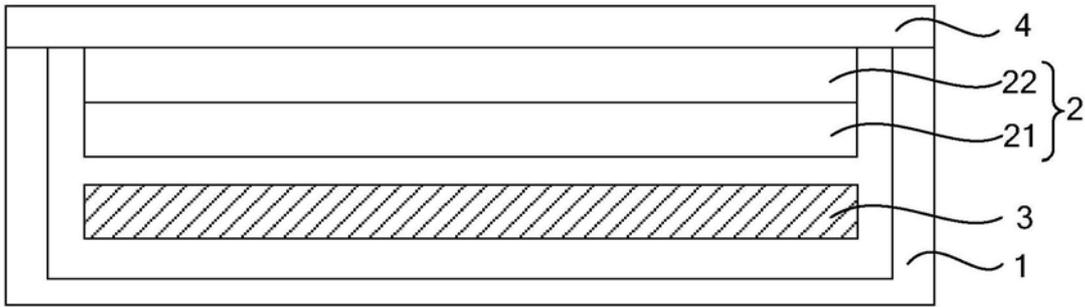


图2

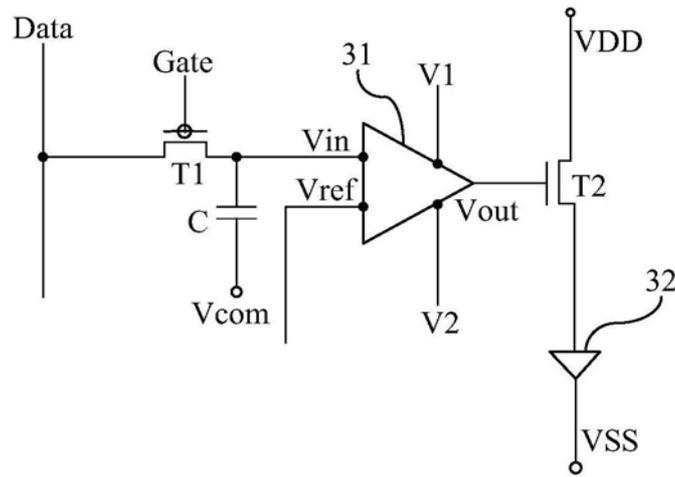


图3

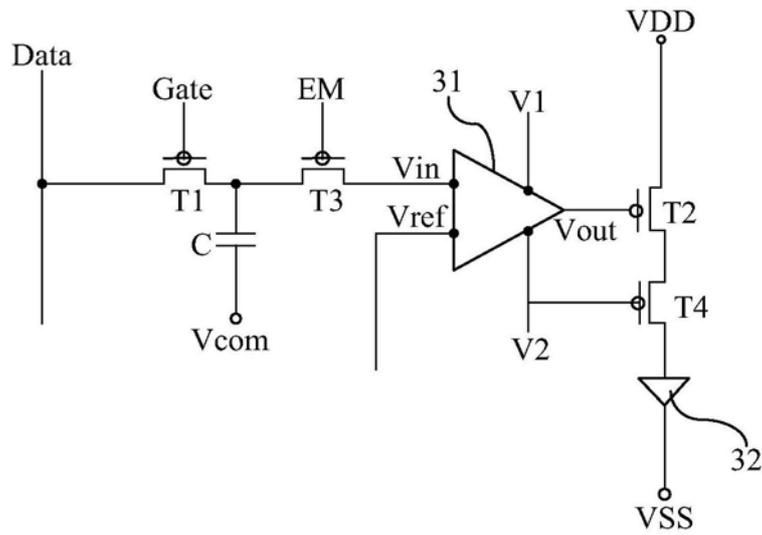


图4

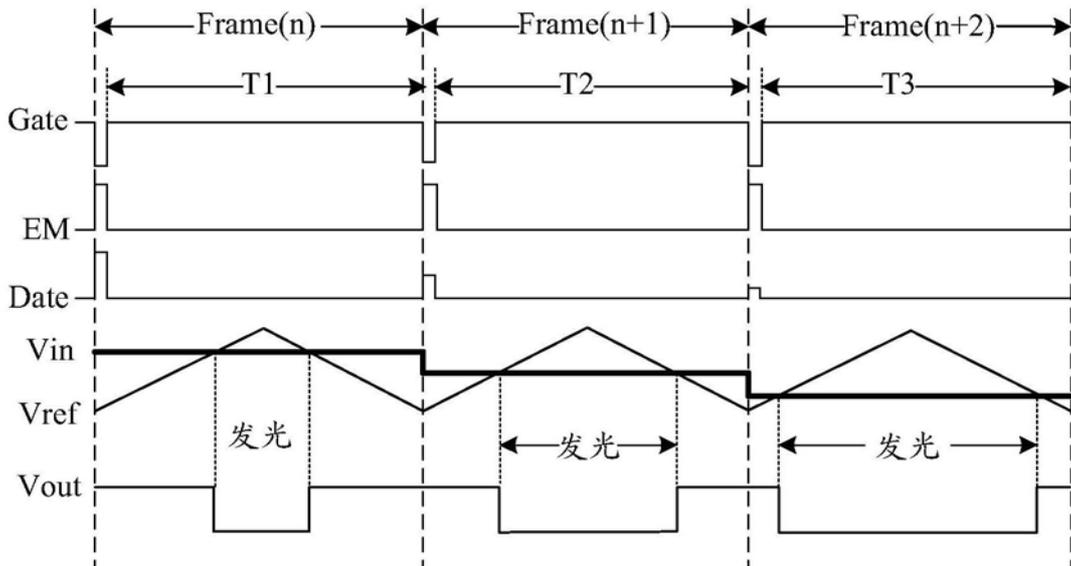


图5

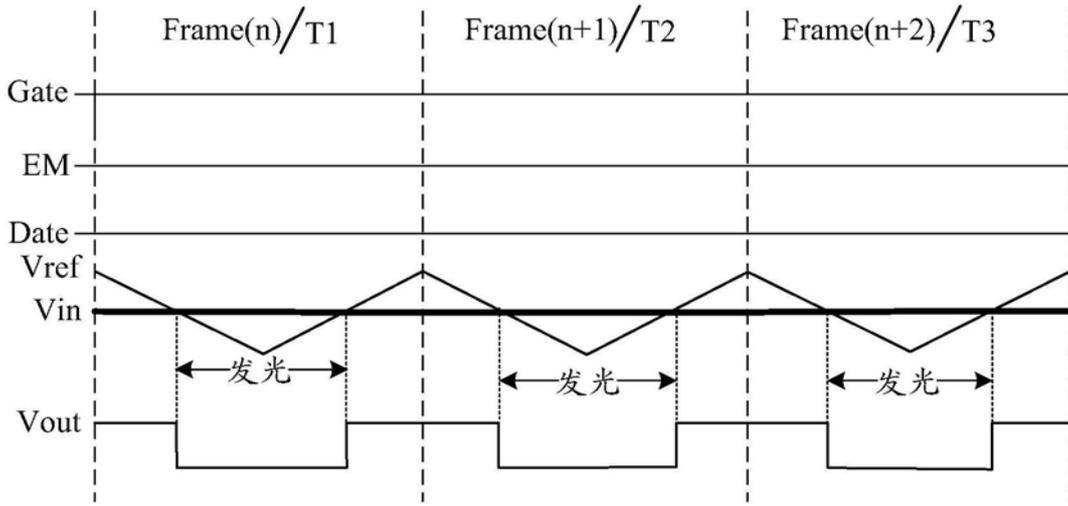


图6

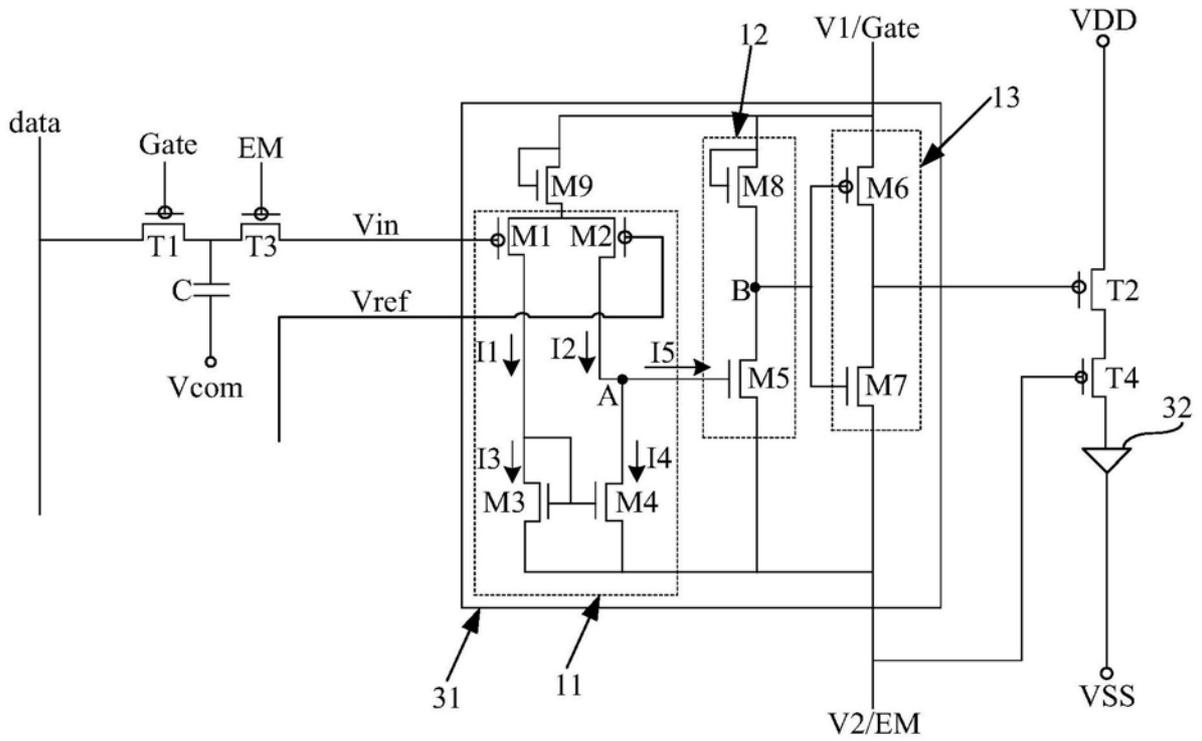


图7

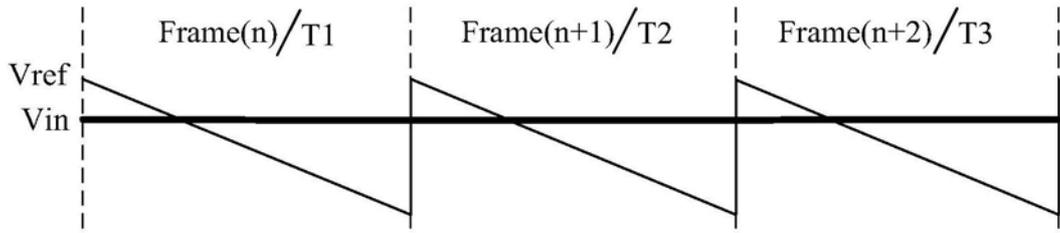


图8

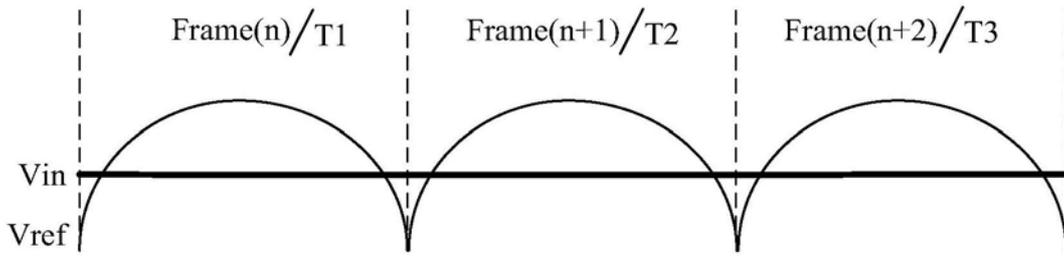


图9

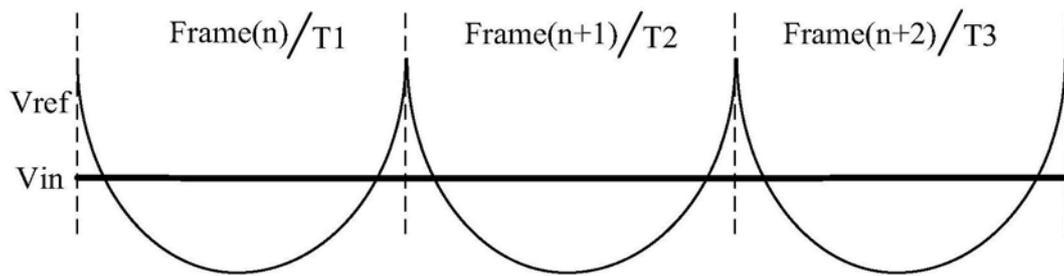


图10

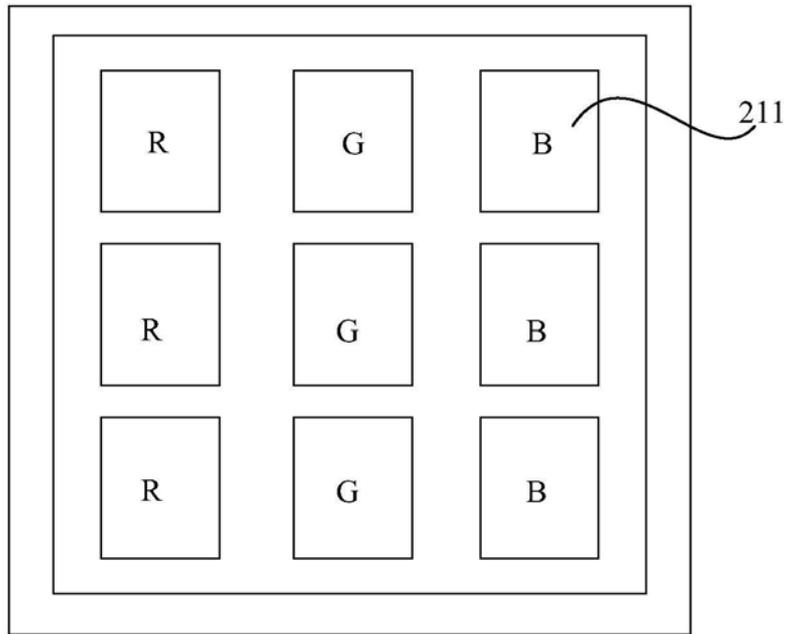


图11

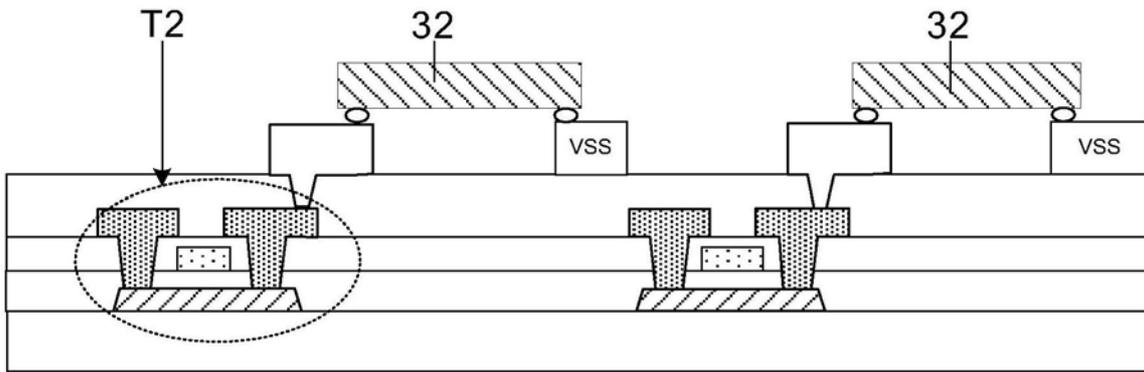


图12

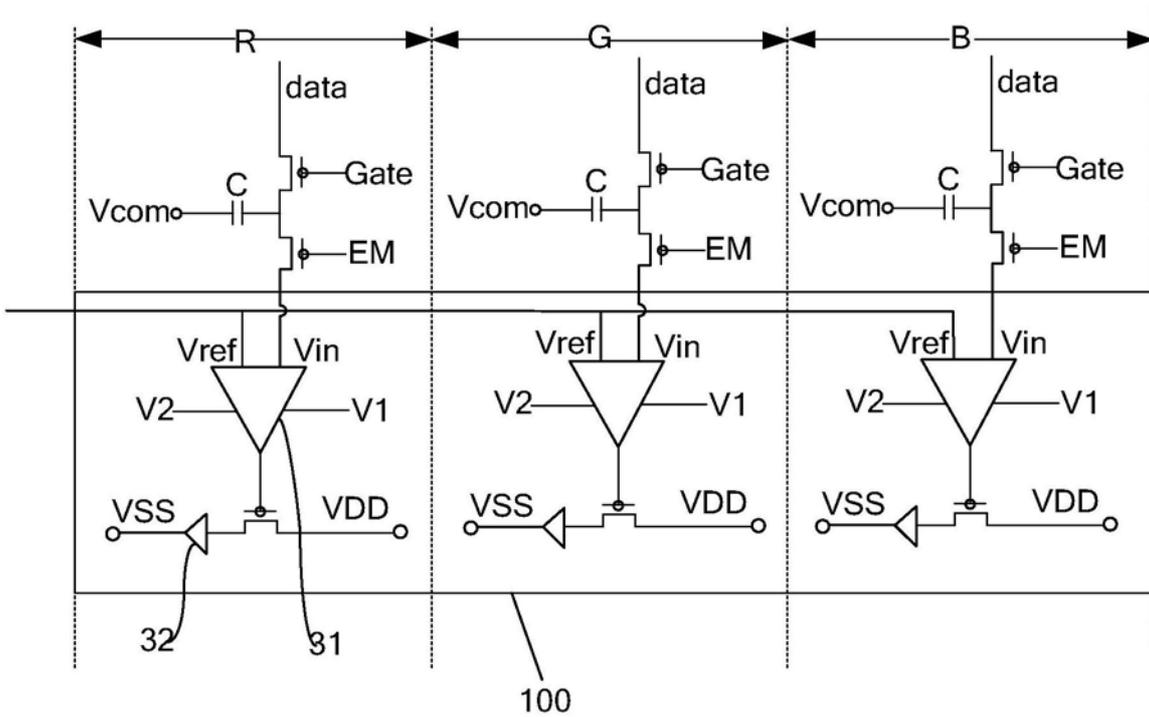


图13

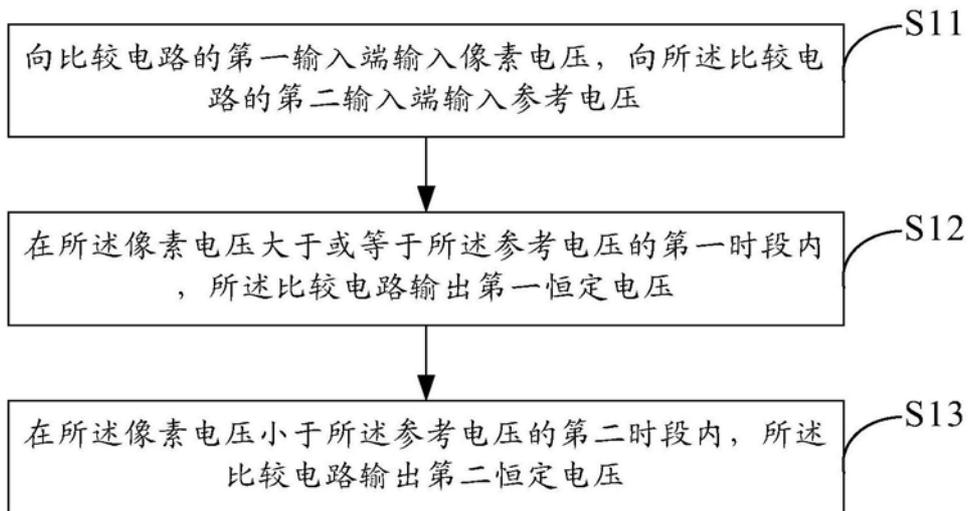


图14

专利名称(译)	一种像素电路及其驱动方法、显示面板、显示装置		
公开(公告)号	CN110148376A	公开(公告)日	2019-08-20
申请号	CN201910481916.6	申请日	2019-06-04
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
[标]发明人	高延凯 陈明 时凌云 段欣 毕育欣 刘弘 于明鉴 胡国锋		
发明人	高延凯 陈明 时凌云 段欣 毕育欣 刘弘 于明鉴 胡国锋		
IPC分类号	G09G3/32 G09G3/3208		
CPC分类号	G09G3/32 G09G3/3208		
代理人(译)	申健		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例提供一种像素电路及其驱动方法、显示面板、显示装置，涉及显示技术领域，可改善因色坐标漂移，而影响显示效果的问题。该像素电路包括驱动晶体管、比较电路；比较电路与输出端、向比较电路输入像素电压的第一输入端、向比较电路输入参考电压的第二输入端、向比较电路输入第一恒定电压的第一控制端、向比较电路输入第二恒定电压的第二控制端连接；在像素电压不小于参考电压时，将第一恒定电压输出至输出端；在像素电压小于参考电压的第二时段内，将第二恒定电压输出至输出端；驱动晶体管在第一恒定电压的控制下截止，在第二恒定电压控制下导通；或者，驱动晶体管在所述第一恒定电压的控制下导通，在第二恒定电压控制下截止。

